

日本国特許庁
JAPAN PATENT OFFICE

17. 6. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 6月13日

REC'D 06 AUG 2004

出願番号
Application Number: 特願2003-170118

WIPO PCT

[ST. 10/C]: [JP 2003-170118]

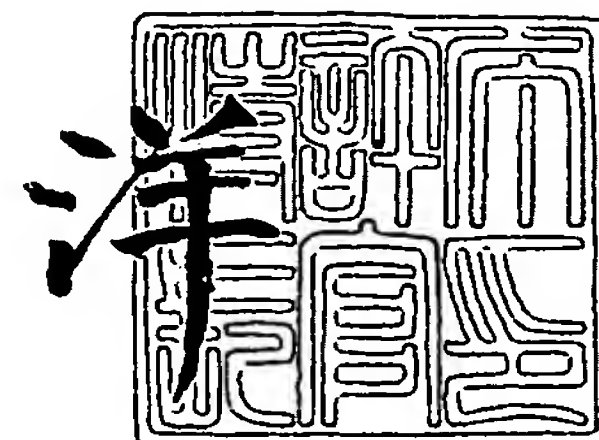
出願人
Applicant(s): 株式会社豊田自動織機
新潟精密株式会社
大見 忠弘

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 7月22日

特許庁長官
Commissioner,
Japan Patent Office

小川



【書類名】 特許願

【整理番号】 2003TJ042

【提出日】 平成15年 6月13日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78
H01L 21/8238

【発明者】

【住所又は居所】 愛知県刈谷市豊田町 2 丁目 1 番地 株式会社豊田自動織機内

【氏名】 西牟田 武史

【発明者】

【住所又は居所】 新潟県上越市西城町 2 丁目 5 番 1 3 号新潟精密株式会社内

【氏名】 宮城 弘

【発明者】

【住所又は居所】 宮城県仙台市青葉区米ヶ袋 2 - 1 - 1 7 - 3 0 1

【氏名】 大見 忠弘

【発明者】

【住所又は居所】 宮城県仙台市青葉区川内元支倉 3 5 - 2 - 1 0 2

【氏名】 須川 成利

【発明者】

【住所又は居所】 宮城県仙台市宮城野区平成 1 - 1 - 2 2 - K 6

【氏名】 寺本 章伸

【特許出願人】

【識別番号】 000003218

【氏名又は名称】 株式会社豊田自動織機

【特許出願人】

【識別番号】 591220850

【氏名又は名称】 新潟精密株式会社

【特許出願人】

【識別番号】 000205041

【氏名又は名称】 大見 忠弘

【代理人】

【識別番号】 100074099

【弁理士】

【氏名又は名称】 大菅 義之

【電話番号】 03-3238-0031

【手数料の表示】

【予納台帳番号】 012542

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9005945

【包括委任状番号】 0118621

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 M I S トランジスタ及びCMOS トランジスタ

【特許請求の範囲】

【請求項 1】 半導体基板に形成されるM I S トランジスタであって、
表面が少なくとも二つの異なる結晶面を有する凸部を主面に対して構成する半導体基板と、

前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々の少なくとも一部を覆うゲート絶縁膜と、

前記半導体基板と電氣的に絶縁されるように前記ゲート絶縁膜を介して構成され、かつ前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々に対して構成されるゲート電極と、

前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々に面して前記凸部中に形成され、かつ前記ゲート電極の両側にそれぞれ形成される同一導電型拡散領域と、

を有することを特徴とするM I S トランジスタ。

【請求項 2】 前記ゲート電極の両側に夫々形成された前記同一導電型拡散領域間に前記ゲート絶縁膜に沿って生成されるチャネルのチャネル幅は、前記少なくとも二つの異なる結晶面に沿って生成される各チャネルのチャネル幅の総和で示される、

ことを特徴とする請求項 1 に記載のM I S トランジスタ。

【請求項 3】 前記ゲート絶縁膜は、前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々の少なくとも一部を、前記少なくとも二つの異なる結晶面に渡って連続して覆う、ことを特徴とする請求項 1 または 2 に記載のM I S トランジスタ。

【請求項 4】 半導体基板に形成されるM I S トランジスタであって、
表面が少なくとも二つの異なる結晶面を有する凸部を主面に対して構成する半導体基板と、

前記主面及び前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々の少なくとも一部を覆うゲート絶縁膜と、

前記半導体基板と電氣的に絶縁されるように前記ゲート絶縁膜を介して構成され、かつ前記主面及び前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々に対して構成されるゲート電極と、

前記主面及び前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々に面して前記凸部中に形成され、かつ前記ゲート電極の両側にそれぞれ形成される同一導電型拡散領域と、

を有することを特徴とするMISトランジスタ。

【請求項5】 前記主面に沿って生成されるチャネルのチャネル幅が、前記少なくとも二つの結晶面の内の前記主面と異なる結晶面に沿って生成されるチャネルのチャネル幅によって補われる、

ことを特徴とする請求項4に記載のMISトランジスタ。

【請求項6】 前記ゲート絶縁膜は、前記主面及び前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々の少なくとも一部を、前記主面及び前記少なくとも二つの異なる結晶面に渡って連続して覆う、ことを特徴とする請求項4または5に記載のMISトランジスタ。

【請求項7】 請求項1乃至6の何れか一つに記載のMISトランジスタは、単一のトランジスタである。

【請求項8】 前記半導体基板はシリコン基板であり、

前記ゲート絶縁膜は前記シリコン基板の表面を所定の不活性ガスによるプラズマに曝して水素を除去することにより形成され、前記シリコン基板と前記ゲート絶縁膜との界面における前記水素の含有量が面密度換算で $10^{11}/\text{cm}^2$ 以下となる、ことを特徴とする請求項1乃至7の何れか一つに記載のMISトランジスタ。

【請求項9】 前記半導体基板はシリコン基板であり、

前記主面及び前記少なくとも二つの異なる結晶面は、(100)面、(110)面、または(111)面の内の、少なくとも互いに異なる何れか二つの結晶面である、

ことを特徴とする請求項1乃至8の何れか一つに記載のMISトランジスタ。

【請求項10】 nチャネルMOSトランジスタが半導体基板の主面に対し

てのみ形成された、前記 n チャネル MOS トランジスタと p チャネル MOS トランジスタとからなる CMOS トランジスタであって、

前記 p チャネル MOS トランジスタは、

前記ゲート絶縁膜が酸化膜であり、

前記同一導電型拡散領域が p 型拡散領域である、

請求項 1 乃至 9 の何れか一つに記載の MIS トランジスタによって構成される

、

ことを特徴とする CMOS トランジスタ。

【請求項 11】 (100) 結晶面を主面に有するシリコン基板上に n チャネル MOS トランジスタと p チャネル MOS トランジスタが構成される CMOS トランジスタであって、

前記 n チャネル MOS トランジスタは、

前記主面のみの一部を覆うゲート酸化膜と、

前記シリコン基板と電氣的に絶縁されるように前記ゲート酸化膜を介して前記主面に構成されるゲート電極と、

前記主面に面して前記シリコン基板中に形成され、かつ前記ゲート電極の両側にそれぞれ形成される n 型拡散領域と、

によって構成され、

前記 p チャネル MOS トランジスタは、

前記同一導電型拡散領域が p 型拡散領域であり、

前記ゲート絶縁膜がゲート酸化膜であり、

前記少なくとも二つの結晶面の内、一方の結晶面が前記 (100) 結晶面であり、他方の結晶面が (110) 結晶面である、

請求項 1 乃至 8 の何れか一つに記載の MIS トランジスタによって構成される

、

ことを特徴とする CMOS トランジスタ。

【請求項 12】 前記 p チャネル MOS トランジスタ及び前記 n チャネル MOS トランジスタにおいて、各々の電流駆動能力は平衡し、かつ各々の素子面積は同一である、ことを特徴とする請求項 10 または 11 に記載の CMOS トラン

ジスタ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、M I S (Metal-Insulator-Semiconductor) トランジスタのゲート幅を調整する技術に関する。

【0 0 0 2】

【従来の技術】

半導体装置の一つとして、従来よりM I S (Metal-Insulator-Semiconductor) トランジスタが知られている。

このM I S トランジスタに構成されるゲート絶縁膜の形成手法は従来から様々な手法が取り入れられており、その一例として、酸素分子や水分子を使用して約 8 0 0 ℃程度以上の熱酸化処理を施す熱酸化技術が挙げられる。

【0 0 0 3】

この熱酸化技術によると、ゲート絶縁膜を形成する熱酸化工程の前段に、有機物、金属、パーティクルなどの表面付着汚染物の除去を施し、希フッ酸や水素添加水等を用いた洗浄を行ない、そして、ゲート絶縁膜が形成されるシリコン基板（この他の半導体基板としてはゲルマニウムなどもある）の表面のシリコン未結合手を水素で終端してシリコン基板の表面への自然酸化膜形成を抑制し、清浄な表面を有するシリコン基板を続く上記熱酸化工程へと導入する。

【0 0 0 4】

そして、この熱酸化工程では、アルゴン (A r) などの不活性ガス雰囲気中でシリコン基板を昇温する。この昇温の過程では、約 6 0 0 ℃程度以上の温度で上記シリコン基板の表面のシリコン未結合手を終端した表面終端水素が脱離し、さらに、約 8 0 0 ℃以上で、酸素分子ないしは水分子を導入した雰囲気中でシリコン基板の表面の酸化が行なわれる。

【0 0 0 5】

このような熱酸化技術を使用してシリコン基板の表面にシリコン酸化膜を形成した場合、表面が (1 0 0) 面方位に配向した結晶面をもつシリコン基板におい

ては、酸化膜／シリコン界面特性、酸化膜の耐圧特性、リーク電流特性などが良好となる。また、上記熱酸化技術に変わるその他の手法であっても上記同等程度の効果を得る事ができるとされている。

【0 0 0 6】

そのため、シリコン基板に対してM I S トランジスタを構成する際は、(1 0 0) 面を主面とするシリコン基板の表面（すなわち(1 0 0) 面）に上記熱酸化技術などの手法に基づいてゲート絶縁膜を形成し、M I S 構造のトランジスタ（pチャネルM I S トランジスタやnチャネルM I S トランジスタ）を構成している。

【0 0 0 7】

さらに、ゲート絶縁膜に上記熱酸化技術等の手法を用いて酸化膜を形成することにより、シリコン基板の(1 0 0) 面上にpチャネルM O S (Metal-Oxide-Semiconductor) トランジスタ及びnチャネルM O S トランジスタよりなる相補型のM O S トランジスタ（以下、C M O S トランジスタと呼ぶ事とする）を集積することができる。

【0 0 0 8】

一方でM O S トランジスタのゲート構造に特徴をもたせた半導体装置も多く見られるようになってきた。このようなものの一つとして、半導体基板上に一導電型（pチャネルまたはnチャネル）のM O S トランジスタを単体で構成した半導体装置の構成例が特開 2 0 0 2 - 1 1 0 9 6 3 号公報に開示されている。

【0 0 0 9】

ここに開示されているM O S トランジスタでは、半導体基板に形成された凸部表面にゲート絶縁膜を上述した熱酸化処理などを施して構成しており、この構造を持たせることによって半導体基板の上記凸部の側壁面にチャネルが形成できるとされている。

【0 0 1 0】

このように、従来よりM I S トランジスタの改良がなされてきた。

【0 0 1 1】

【特許文献 1】

特開 2 0 0 2 - 1 1 0 9 6 3 号公報

【 0 0 1 2 】

【発明が解決しようとする課題】

このような一結晶面（上記の場合（1 0 0）面）に対してゲート絶縁膜が形成されたM I S トランジスタのゲートに電圧が加わると、上記一結晶面に面してシリコン基板中にチャネルが形成される。そして、そのチャネル幅は上記一結晶面に沿って形成されたチャネルを通過する電子または正孔の移動方向と直交する方向の長さで与えられることになる。

【 0 0 1 3 】

上記M I S トランジスタの電流駆動能力を高めるためには、形成されるチャネル内の電子移動量或いは正孔移動量を高める必要がある。そして、電流駆動能力を高めるには、上記チャネル幅を長くし、さらにはそのチャネル内において電子或いは正孔の無駄な浪費を少なくしなければならない。

【 0 0 1 4 】

しかし、従来のM I S トランジスタの構成においては、チャネル幅を長くするとM I S トランジスタの素子面積が大きくなってしまい半導体基板上への素子の集積度を高めることが困難になってしまい問題である。

この点において、上記特開 2 0 0 2 - 1 1 0 9 6 3 号公報に開示されているM I S トランジスタを適用した場合は、チャネルが形成される半導体基板凸部の面方位によって電子或いは正孔の無駄な浪費を生じ、チャネル幅の単位長さ当たりの、トランジスタを駆動させるために有効となるエネルギー量が、例えば（1 0 0）結晶面と比べると格段に減少してしまう。よって、上記技術を適用してゲート幅を増やしても、それに比例して電流駆動能力が高まる事は無く、実質的な効果は得られない。

【 0 0 1 5 】

また、CMOS トランジスタを形成する際は、電子移動度が正孔移動度の 2 倍から 3 倍の値を有するため、互いの電流駆動能力を一致させるためには、電流駆動能力の小さい p チャネルMOS トランジスタのチャネル幅が大きくなるようにその素子面積を n チャネルMOS トランジスタの素子面積よりも大きくしなければ

ばならなくなる。反対に、互いの素子面積を一致させようとする、互いのチャネル幅が同一になり互いの電流駆動能力が一致しなくなってしまう。この点も解決されるべき課題の一つである。

【0016】

そこで本発明は、素子面積の増大を抑制すると共にチャネルの幅を増やし、さらにそのチャネルにおいて、チャネル幅の単位長さあたりの、トランジスタを駆動させるために有効となるエネルギー量を低下させることを抑制することのできるMISトランジスタを提供することを目的とする。また、pチャネルMOSトランジスタ及びnチャネルMOSトランジスタの素子面積を等しくし、かつ互いの電流駆動能力を一致させる事が可能なCMOSトランジスタを提供することを目的とする。

【0017】

【課題を解決するための手段】

本発明は上記課題を解決するために以下のように構成する。

本発明のMISトランジスタの態様の一つは、半導体基板に形成されるMISトランジスタであって、表面が少なくとも二つの異なる結晶面を有する凸部を主面に対して構成する半導体基板と、上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々の少なくとも一部を覆うゲート絶縁膜と、上記半導体基板と電氣的に絶縁されるように上記ゲート絶縁膜を介して構成され、かつ上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々に対して構成されるゲート電極と、上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々に面して上記凸部中に形成され、かつ上記ゲート電極の両側にそれぞれ形成される同一導電型拡散領域（導電型には、例えばn型やp型があり、同一導電型拡散領域とは、上記ゲート電極の両側に形成される拡散領域の導電型が同一であることを意味する）と、を有するように構成する。

【0018】

この際、上記ゲート電極の両側に夫々形成された上記同一導電型拡散領域間に上記ゲート絶縁膜に沿って生成されるチャネルのチャネル幅は、上記少なくとも

二つの異なる結晶面に沿って生成される各チャネルのチャネル幅の総和で示される、ようにすることが望ましい。

【0019】

なお、上記ゲート絶縁膜は、上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々の少なくとも一部を、上記少なくとも二つの異なる結晶面に渡って連続して覆う、ように構成されることが望ましい。

また、本発明のMISトランジスタのその他の態様の一つは、半導体基板に形成されるMISトランジスタであって、表面が少なくとも二つの異なる結晶面を有する凸部を主面に対して構成する半導体基板と、上記主面及び上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々の少なくとも一部を覆うゲート絶縁膜と、上記半導体基板と電氣的に絶縁されるように上記ゲート絶縁膜を介して構成され、かつ上記主面及び上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々に対して構成されるゲート電極と、上記主面及び上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々に面して上記凸部中に形成され、かつ上記ゲート電極の両側にそれぞれ形成される同一導電型拡散領域と、を有するように構成する。

【0020】

この際、上記主面に沿って生成されるチャネルのチャネル幅が、上記少なくとも二つの結晶面の内の上記主面と異なる結晶面に沿って生成されるチャネルのチャネル幅によって補われる、ように構成してもよい。

なお、上記ゲート絶縁膜は、上記主面及び上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々の少なくとも一部を、上記主面及び上記少なくとも二つの異なる結晶面に渡って連続して覆う、ことが望ましい。

【0021】

また、上記各態様のMISトランジスタは、単一のトランジスタで構成することが望ましい。

また、上記各態様のMISトランジスタにおいて、上記半導体基板はシリコン基板であり、上記主面及び上記少なくとも二つの異なる結晶面は、(100)面、(110)面、または(111)面の内の、少なくとも互いに異なる何れか二

つの結晶面である、ように構成することが望ましい。

【0022】

このように構成することによって、MISトランジスタの上記ゲート絶縁膜に沿って生成されるチャネルは上記少なくとも二つの異なる結晶面に沿って生成されるようになる。そして、このように構成されるMISトランジスタにおいては、その素子面積を直接的に大きくする結晶面と異なる方向に対してチャネル幅を獲得できるようになる。また、そのゲート絶縁膜に沿って生成されるチャネルにおいて、チャネル幅の単位長さあたりの、トランジスタを駆動させるために有効となるエネルギー量の低下を抑制させることが可能になる。

【0023】

さらに、上記各態様のMISトランジスタにおいて、上記ゲート絶縁膜は上記シリコン基板の表面を所定の不活性ガスによるプラズマに曝して水素を除去することにより形成され、上記シリコン基板と上記ゲート絶縁膜との界面における上記水素の含有量が面密度換算で $10^{11}/\text{cm}^2$ 以下となる、ように形成されることが望ましい。

【0024】

このように構成することによって、そのゲート絶縁膜に沿って生成されるチャネルにおいて、チャネル幅の単位長さあたりの、トランジスタを駆動させるために有効となるエネルギー量の低下を抑制させることが大幅に可能になる。

さらに、チャネルが凸部に沿って形成されることにより、トランジスタ特性における飽和領域でのピンチオフ点（チャネルキャリア密度が略0になる点）の移動による、実行ゲート長の減少及びドレイン電流の上昇というチャネル長変調現象を抑えることができる。

【0025】

本発明のCMOSトランジスタの態様の一つは、nチャネルMOSトランジスタが半導体基板の主面に対してのみ形成される、ことを前提とし、上述した各態様のMISトランジスタにおいて、上記ゲート絶縁膜を酸化膜とし、上記同一導電型拡散領域をp型拡散領域としたものを、pチャネルMOSトランジスタとして構成する。

【 0 0 2 6 】

また、本発明のCMOSトランジスタの態様のその他の一つは、(100)結晶面を主面に有するシリコン基板上にnチャネルMOSトランジスタとpチャネルMOSトランジスタが構成されることを前提とし、上記nチャネルMOSトランジスタは、上記主面のみの一部を覆うゲート酸化膜と、上記シリコン基板と電氣的に絶縁されるように上記ゲート酸化膜を介して上記主面に構成されるゲート電極と、上記主面に面して上記シリコン基板中に形成され、かつ上記ゲート電極の両側にそれぞれ形成されるn型拡散領域と、によって構成され、上記pチャネルMOSトランジスタは、上述した各態様のMISトランジスタにおいて、上記同一導電型拡散領域がp型拡散領域であり、上記ゲート絶縁膜がゲート酸化膜であり、上記少なくとも二つの結晶面の内、一方の結晶面が上記(100)結晶面であり、他方の結晶面が(110)結晶面である、ように構成する。

【 0 0 2 7 】

なお、上記CMOSトランジスタの各態様では、上記pチャネルMOSトランジスタ及び上記nチャネルMOSトランジスタにおいて、各々の電流駆動能力は平衡し、かつ各々の素子面積は同一である、ように構成することが望ましい。

このように構成することによって、CMOSトランジスタの素子面積を直接的に大きくしているpチャネルMOSトランジスタにおいて、その素子面積を直接大きくする結晶面とは異なる方位に配向する結晶面にゲート絶縁膜を形成することができる。そのため、上記pチャネルMOSトランジスタにおいては、ゲート絶縁膜に沿って生成されるチャネルのチャネル幅を上記素子面積を直接的に大きくする方位とは異なる方位に生成させることができる。よって、上記pチャネルMOSトランジスタの電流駆動能力と上記nチャネルMOSトランジスタの電流駆動能力とを、互いのMOSトランジスタの素子面積をばらつかせることなく一致させることが可能になる。

【 0 0 2 8 】

そして、pチャネルMOSトランジスタにおいて上記少なくとも二つの異なる結晶面に沿ってチャネル幅を獲得できるため、主面のみに形成されたnチャネルMOSトランジスタと素子面積及び電流駆動能力を略一致させることが可能にな

る。

【 0 0 2 9 】

【発明の実施の形態】

以下、本発明の実施の形態を、図面を参照しながら詳細に説明する。

本発明の実施の形態におけるトランジスタはM I S (Metal-Insulator-Semiconductor) 構造によって構成される。

【 0 0 3 0 】

そして、そのM I S トランジスタのゲート絶縁膜は、特開 2 0 0 2 - 2 6 1 0 9 1 号公報に開示されている、M I S トランジスタのゲート絶縁膜を高性能電気特性を持たせて薄く形成するゲート絶縁膜薄膜形成技術を取り入れて形成する。

そこで、先ず始めに、上記M I S トランジスタのゲート絶縁膜薄膜形成方法について説明する。

【 0 0 3 1 】

なお、上記M I S トランジスタのゲート絶縁膜の種類に関しては、上記特開 2 0 0 2 - 2 6 1 0 9 1 号公報に開示されているように酸化膜や窒化膜や酸窒化膜などがあり、半導体基板にもシリコンやゲルマニウムなどのように異なる結晶面を有する多種類の基板がある。そのため、本発明の実施の形態において上記何れの種類ゲート絶縁膜或いは半導体基板を使用することもできるが、説明の理解を容易にするために、以下の説明では、半導体基板を (1 0 0) 面、 (1 1 0) 面、或いは (1 1 1) 面の内の少なくとも何れか二つの結晶面を表面に有するシリコン (S i) 基板とし、ゲート絶縁膜を酸化膜とした、M O S (Metal-Oxide-Semiconductor) 構造のトランジスタを例に説明することにする。

【 0 0 3 2 】

図 1 は、ラジアルラインスロットアンテナを用いたプラズマ処理装置 1 0 0 の一例を示す断面図である。

本ゲート絶縁膜薄膜形成方法においては、シリコン表面の未結合手を終端している水素を除去するのに、次の酸化膜形成工程でプラズマ励起ガスとして使われる K r を使用し、同一処理室内で連続して表面終端水素除去処理と酸化処理とを行う。

【0033】

先ず、真空容器（処理室）101内を真空にし、次にシャワープレート102から最初にアルゴン（Ar）ガスを導入し、それをクリプトン（Kr）ガスに切替える。さらに、上記処理室101内の圧力を133Pa（1Torr）程度に設定する。

【0034】

次にシリコン基板103を、加熱機構を持つ試料台104に置き、試料の温度を400℃程度に設定する。上記シリコン基板103の温度が200-550℃の範囲内であれば、以下に述べる結果はほとんど同様のものとなる。上記シリコン基板103は、直前の前処理工程において希フッ酸洗浄が施され、その結果表面のシリコン未結合手が水素で終端されている。

【0035】

次に同軸導波管105からラジアルラインスロットアンテナ106に周波数が2.45GHzのマイクロ波を供給し、上記マイクロ波を上記ラジアルラインスロットアンテナ106から処理室101の壁面の一部に設けられた誘電体板107を通して、上記処理室101内に導入する。導入されたマイクロ波は上記シャワープレート102から上記処理室101内に導入されたKrガスを励起し、その結果上記シャワープレート102の直下に高密度のKrプラズマが形成される。供給するマイクロ波の周波数が900MHz程度以上約10GHz程度以下の範囲にあれば、以下に述べる結果はほとんど同様のものとなる。

【0036】

図1の構成においてシャワープレート102と基板103の間隔は、本実施形態では6cmに設定する。この間隔は狭いほうがより高速な成膜が可能となる。

なお、本実施形態では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示しているが、他の方法を用いてマイクロ波を処理室内に導入してプラズマを励起してもよい。

【0037】

上記シリコン基板103をKrガスで励起されたプラズマに曝すことにより、上記シリコン基板103の表面は低エネルギーのKrイオン照射を受け、その表面

終端水素が除去される。

図 2 は上記シリコン基板 1 0 3 表面におけるシリコンー水素結合を赤外分光器により分析した結果であり、上記処理室 1 0 1 中にマイクロ波を 1 3 3 P a (1 T o r r) の圧力下、 $1.2 \text{ W} / \text{cm}^2$ のパワーで導入することで励起した K r プラズマによる、シリコン表面終端水素の除去効果を示す。

【 0 0 3 8 】

図 2 を参照するに、わずか 1 秒程度の K r プラズマ照射でシリコンー水素結合に特徴的な波数 2100 cm^{-1} 付近の光吸収がほとんど消滅し、約 3 0 秒の照射ではほぼ完全に消滅するのがわかる。すなわち、約 3 0 秒の K r プラズマ照射により、シリコン表面を終端していた水素が除去できることがわかる。本実施形態では、1 分間の K r プラズマ照射を施して、表面終端水素を完全に除去する。

【 0 0 3 9 】

次に、上記シャワープレート 1 0 2 から 9 7 / 3 の分圧比の K r / O₂ 混合ガスを導入する。この際、処理室内の圧力は 1 3 3 P a (1 T o r r) 程度に維持しておく。K r ガスと O₂ ガスが混合された高密度励起プラズマ中では、中間励起状態にある K r * と O₂ 分子が衝突し、原子状酸素 O* を効率よく大量に発生できる。

【 0 0 4 0 】

本例では、この原子状酸素 O* により上記シリコン基板 1 0 3 の表面を酸化する。本薄膜形成方法を用いることにより、原子状酸素による酸化処理では、4 0 0 ° C 程度の非常に低い温度での酸化が可能となる。K r * と O₂ の衝突機会を大きくするには、処理室圧力は高い方が望ましいが、あまり高くすると、発生した O* 同志が衝突し、O₂ 分子に戻ってしまう。当然、最適ガス圧力が存在する。

【 0 0 4 1 】

図 3 に、処理室内の K r / O₂ の圧力比を 9 7 / 3 に保持しつつ、上記処理室 1 0 1 内のガス圧力を変化させた場合の、形成される酸化膜の厚さと処理室内圧力との関係を示す。ただし図 3 では、シリコン基板 1 0 3 の温度を 4 0 0 ° C に設定し、1 0 分間の酸化処理を行っている。

【 0 0 4 2 】

図 3 を参照するに、上記処理室 1 0 1 内の圧力が約 1 3 3 P a (1 T o r r) の時に最も酸化速度は速くなり、この圧力ないしはその近傍の圧力条件が最適であることがわかる。この最適圧力は、上記シリコン基板 1 0 3 の表面が (1 0 0) 面方位に配向した結晶面である場合に限らず、シリコン表面がどの面方位に配向した結晶面であっても同じである。

【 0 0 4 3 】

所望の膜厚のシリコン酸化膜が形成されたところでマイクロ波パワーの導入を止めプラズマ励起を終了し、さらに K r / O₂ 混合ガスを A r ガスに置換して酸化工程を終了する。本工程の前後に A r ガスを使用するのは K r より安価なガスをパージガスに使用するためである。本工程に使用された K r ガスは回収再利用する。

【 0 0 4 4 】

以上の K r / O₂ プラズマ酸化膜形成に続いて、既知の電極形成工程、保護膜形成工程、水素シント処理工程等を施して M O S トランジスタやキャパシタを含む半導体集積回路装置を完成させることができる。

上記の手順で形成されたシリコン酸化膜中の水素含有量を昇温放出により測定したところ、3 n m の膜厚のシリコン酸化膜において面密度換算で 1 0¹² / c m² 程度以下であった。特にリーク電流が少ない酸化膜においてはシリコン酸化膜内の水素含有量は、面密度換算で 1 0¹¹ / c m² 程度以下であることが確認された。一方、酸化膜形成前に K r プラズマの暴露を行わなかった酸化膜は面密度換算で 1 0¹² / c m² を超える水素を含んでいた。

【 0 0 4 5 】

また、上記の手順で形成されたシリコン酸化膜を剥離した後のシリコン表面と酸化膜形成前のシリコン表面の粗さを原子間力顕微鏡で測定して比較したところ、シリコン表面の荒さが変化していないのが確認された。すなわち、終端水素を除去して酸化した後でもシリコン表面が荒れることはない。

【 0 0 4 6 】

本ゲート絶縁膜薄膜形成方法によると、シリコン基板と M O S トランジスタのゲート絶縁膜として形成されるシリコン酸化膜との、界面に残留する水素が除去

され、その界面が平坦化される。この平坦化により、その界面における低界面準位密度を実現することができ、ゲート絶縁膜が薄膜化されても良好な電気特性（低リーク電流特性、低界面準位密度、高耐圧性、高ホットキャリア耐性、均一なしきい値電圧特性など）が得られるようになっている。また、さらに、如何なる面方位に形成されたゲート絶縁膜もそれらの面方位に対して良好な電気特性を得る事もできるようになる。

【0047】

ここで、本発明の実施の形態の一例として示されるMOSトランジスタの構成に関し、その構成を後述するような立体構造にすることの有効性を示唆する上記異なる面方位（結晶面）に対する解析結果の一例を、以下に説明する。

図4は、図1のプラズマ処理装置100によりシリコン基板の3つの結晶面、すなわち（100）面、（111）面、および（110）面、を酸化した場合のKr/O₂プラズマ酸化膜の成長レートを熱酸化膜の成長レートと比較して示している。

【0048】

図4を参照するに、Kr/O₂プラズマ酸化膜では熱酸化膜の場合よりもはるかに大きな成長レートが得られており、活性な原子状酸素O*を使ったSi基板の酸化が非常に効率良く進むことが示されている。さらに図4より、Kr/O₂プラズマ酸化膜では、Si原子の面密度がより大きな（111）面、（110）面上での成長レートが、（100）面上での成長レートよりも小さくなっている事が分かる。これは原料供給律速プロセスから導かれる帰結と一致しており、このようにして形成したプラズマ酸化膜は、優れた膜質を有している事が示唆される。

【0049】

これに対し、Si基板の（111）面、（110）面上に熱酸化膜を形成した場合には、（100）面上に熱酸化膜を形成した場合よりも酸化膜の成長レートが大きくなっており、（111）面、（110）面上に形成されている熱酸化膜は膜質が劣ることを示唆している。

【0050】

続く図5は、このようにして形成されたKr/O₂プラズマ酸化膜と熱酸化膜

とで界面準位密度を比較した結果を示す。

図5を参照するに、Kr/O₂プラズマ酸化膜ではシリコンの(100)面上に形成された場合でも(111)面、(110)面上に形成された場合でも、界面準位密度は(100)面上に形成された熱酸化膜の界面準位密度よりも低く、非常に高品質な酸化膜が得られているのがわかる。

【0051】

これに対し、シリコンの(111)面、(110)面上に形成された熱酸化膜では、図4の結果から予測された通り界面準位密度が非常に大きく、本例に示すMOSトランジスタのゲート絶縁膜に使用した場合には、キャリアの捕獲によるしきい値電圧の変化やゲートリーク電流の増大など、様々な問題が生じると考えられる。

【0052】

こうして、上記ゲート絶縁膜薄膜形成方法をMOSトランジスタのゲート絶縁膜の形成手段として適用することにより、シリコン基板の(100)面のみならず(110)面や(111)面に対してゲート絶縁膜を形成することの有効性が本発明の実施の形態において示唆された。

【0053】

次に、上述した有効性を裏づけとする本発明の実施の形態のMISトランジスタの構成について以下に詳しく説明する。

図6、図7は、立体構造にしたpチャネルMOSトランジスタの構成例である。

【0054】

ただし図7は、図6の一部を取り出して示した図である。

図6に一例として示したpチャネルMOSトランジスタ700は、図7に示すようにp型領域が形成された(100)面を主面とするSi基板702に形成されている。

【0055】

図7に示すように、上記Si基板702のp型領域には幅がWで高さがHの凸部704が形成される。同図に示されているように上記凸部704の頂面は(1

00)面により、両側壁面は(110)面により画成されてなる。

図6のSi基板702上には、先に図1で説明したプラズマ処理装置100によりシリコン酸化膜が一様に形成されており、さらにその上に、図6に示すポリシリコンゲート電極706がSi基板702の上記p型領域に形成されている。さらにかかるゲート電極706のパターニングに伴って上記シリコン酸化膜もパターニングされ、上記ゲート電極706に対応してゲート絶縁膜708が同図に示す太い実線と破線で囲まれた面に形成される。

【0056】

さらに図6のpチャネルMOSトランジスタ700では、上記p型領域において上記ゲート電極706を自己整合マスクにp型不純物をイオン注入することにより、上記ゲート電極706の両側に、上記凸部704をも含んでp型拡散領域710aおよび710bが同図に示されるように形成される。その結果、上記Si基板702上の上記p型領域にpチャネルMOSトランジスタ700が形成される。

【0057】

本例に示すpチャネルMOSトランジスタ700では、ゲート長Lを有し、上記ゲート電極706は、Si基板702の平坦部を、上記凸部704のそれぞれの側において、ゲート幅 $W'/2$ で覆う。その結果、上記ゲート電極706の(100)面上におけるゲート幅は、上記凸部704Aの頂部を含めて、 $W+W'$ により与えられる。これに対し、上記ゲート電極706の(110)面上におけるゲート幅は両側壁面に形成されているので $2H$ で与えられる。

【0058】

そして、このように構成されるpチャネルMOSトランジスタにおいて電圧が印加されると、同図に斜線で示したように、正孔が移動するチャンネルがゲート絶縁膜708に沿ってSi基板702中に生成される。

上述した構成によると、上記p型領域に形成されるpチャネルMOSトランジスタ700の電流駆動能力は、式 $\mu_{p1}(W+W') + 2\mu_{p2}H$ により与えられるようになる。ただし μ_{p1} は、(100)面における正孔移動度を、 μ_{p2} は(110)面における正孔移動度を表す。

【0059】

なお、本例に示した p チャンネル MOS トランジスタの構成においては、主面となる (100) 面以外の結晶面を構成するために両側壁面を有する凸状の構成としたが、この側壁面を片面のみとする構成としても良い。

また、上記 W' が上記 H に対して十分小さくなるようにゲート幅を構成することにより素子面積を十分に小さくすることもできる。この場合には、チャンネル幅は H と W の長さのみに依存させることができる。

【0060】

以上のように構成した p チャンネル MOS トランジスタにおいては、半導体基板とゲート絶縁膜との異なる面方位における界面で低界面準位密度を実現できるので、フリッカ雑音を低減できる。また、さらに、同図の斜線で示したチャンネル構造をとることによって、チャンネル長変調現象を低減させることが可能になるので、良好な電気的特性が安定して得られる。このように凸状に構成された MOS トランジスタは素子毎の電気的特性のバラツキを低下させ、より安定な素子となる。

【0061】

さらに、このように上記立体構造にした p チャンネル MOS トランジスタでは、p チャンネル MOS トランジスタのゲート幅を半導体基板の主面（例えば (100) 面など）だけではなく上述したように異なる方位面に配向する結晶面（例えば (110) 面など）に対しても獲得できる。また、主面を使用せずに上記凸部のみでゲート幅を獲得することもできる。そのため、p 型拡散領域 710a 及び 710b の間にゲート絶縁膜に沿って生成されるチャンネルは、主面を除く他の結晶面においても生成されることとなる。

【0062】

このように、上記チャンネルにおける電気的特性は上述したように何れの結晶面に対しても良好である（すなわち、チャンネル幅の単位長さあたりの、トランジスタを駆動させるために有効となるエネルギー量の低下が抑制される）ため、上記 $W+W'$ の値に替わって H の値を大きくとって同図の上方向に対してチャンネル幅を稼ぐことができ、p チャンネル MOS トランジスタの素子面積を実質的に小さくすることが可能となる。

【0063】

なお、上記構成例ではSi基板の(100)面を主面として(110)面を側壁面としたが、(100)面、(110)面、(111)面を任意に組み合わせてトランジスタを構成してもよく、何れの場合であっても上述した効果が同様に得られる。

【0064】

また、上記構成例ではpチャネルMOSトランジスタについて説明したが、nチャネルMOSトランジスタにおいても上記同様に立体構造にすることができ、上記同様な効果を得る事ができる。

次に、上記立体構造のMOSトランジスタの構成を移動度の小さいpチャネルMOSトランジスタのみに適用したCMOS (Complementary Metal Oxide Semiconductor) トランジスタの構成を示す。

【0065】

図8、9は、pチャネルMOSトランジスタ及びnチャネルMOSトランジスタからなるCMOSトランジスタの構成例である。

ただし図9は、図8の一部を取り出して示した図である。

図8のCMOSトランジスタ900は、図9に示されるように素子分離領域905により隔てられたn型領域Aとp型領域Bとが形成された(100)面を主面とするSi基板910上に形成されており、p型領域Bには幅が W_{1B} で両側壁面の高さが H_B の凸部910Bが形成されている。図9よりわかるように、上記凸部910Bの頂面は(100)面により、側壁面は(110)面により画成されている。

【0066】

図9のSi基板910上には、先に図1で説明したプラズマ処理装置100によりシリコン酸化膜が一様に形成されており、さらにその上に、図8に示すポリシリコンゲート電極930Aおよび930Bが、それぞれ領域Aおよび領域B上に形成されている。さらにかかるゲート電極930Aおよび930Bのパターニングに伴って上記シリコン酸化膜もパターニングされ、上記ゲート電極930Aに対応してゲート絶縁膜920Aが、またゲート電極930Bに対応してゲート絶縁

膜 920B が、同図に示される太い実線及び破線に囲まれた面に形成される。

【0067】

さらに図 8 の CMOS トランジスタ 900 では、上記 n 型領域 A において、上記ゲート電極 930A を自己整合マスクに n 型不純物をイオン注入することにより、上記ゲート電極 930A の両側に n 型拡散領域 910a および 910b が形成される。また、上記 p 型領域 B においては上記ゲート電極 930B の両側に、上記凸部 910B をも含んで p 型拡散領域 910c および 910d が形成される。その結果、上記 Si 基板 910 上には上記 n 型領域 A に n チャネル MOS トランジスタ 940A が、また上記 p 型領域 B に p チャネル MOS トランジスタ 940B が形成される。

【0068】

本例に示す CMOS トランジスタ 900 では、n チャネル MOS トランジスタ 940A はゲート長 L_{gA} を有し、また p チャネル MOS トランジスタ 940B はゲート長 L_{gB} を有する。

本例に示す n チャネル MOS トランジスタにおいては、上記ゲート電極 930A が Si 基板 910 の (100) 面を同図に示すように幅 W_A で覆う。その結果、n チャネル MOS トランジスタのゲート幅は W_A によって与えられる。

【0069】

また、他方の p チャネル MOS トランジスタにおいては、上記ゲート電極 930B は、Si 基板 910 の平坦部を、上記凸部 910B のそれぞれの側において、ゲート幅 $W_{2B}/2$ で覆う。その結果、当該 p チャネル MOS トランジスタにおいては、上記ゲート電極 930B の (100) 面上におけるゲート幅は上記凸部 910B の頂部を含めて $W_{1B} + W_{2B}$ により与えられ、上記ゲート電極 930B の (110) 面上におけるゲート幅は両側壁面に形成されているので $2H_B$ によって与えられる。

【0070】

そして、このように構成される CMOS トランジスタに電圧が印加されると、同図に斜線で示したように、n 型領域 A においては電子が移動するチャンネルがゲート絶縁膜 920A に沿って Si 基板 910 中に生成され、p 型領域 B において

は正孔が移動するチャネルがゲート絶縁膜 920B に沿って Si 基板 910 中に生成される。

【0071】

上述した構成によると、上記 n 型領域 A に形成される n チャネル MOS トランジスタ 940A の電流駆動能力は、式 $\mu_{n1} W_A$ により与えられるようになる。ただし μ_{n1} は、(100) 面における電子移動度を表す。

一方、上記 p 型領域 B に形成される p チャネル MOS トランジスタ 940B の電流駆動能力は、式 $\mu_{p1} (W_{1B} + W_{2B}) + 2 \mu_{p2} H_B$ により与えられるようになる。ただし μ_{p1} は、(100) 面におけるホール移動度を、 μ_{p2} は (110) 面におけるホール移動度を表す。

【0072】

そこで、本例に示す立体構造の CMOS トランジスタ 900 では、上記 p チャネル MOS トランジスタ 940B の凸部 910B の幅及び高さを、式 $\mu_{n1} W_A = \mu_{p1} (W_{1B} + W_{2B}) + 2 \mu_{p2} H_B$ が満足されるように設定することで、n チャネル MOS トランジスタ 940A の電流駆動能力と p チャネル MOS トランジスタ 940B の電流駆動能力とを平衡させることができるようになる。

【0073】

特に、かかる構成において、 $W_A = W_{1B} + W_{2B}$ 、 $L_{gA} = L_{gB}$ として上記凸部 910B の高さ H_B を上記式が満足されるように設定すれば、n チャネル MOS トランジスタ 940A と p チャネル MOS トランジスタ 940B との素子面積

を同一にして、互いの電流駆動能力を平衡させることができるようになる。

【0074】

なお、本例に示した p チャネル MOS トランジスタの構成においては、主面となる (100) 面以外の結晶面を構成するために両側壁面を有する凸状の構成としたが、この側壁面を片面のみとする構成としても良い。

以上のように構成した CMOS トランジスタにおいては半導体基板とゲート絶縁膜との界面で低界面準位密度を実現できるので、フリッカ雑音を低減でき、良好な電気的特性が安定して得られる。そのため、このように構成された CMOS

トランジスタは、素子における電気的特性のバラツキを低下させた、より安定な素子となりうる。特に、nチャネルMOSトランジスタとpチャネルMOSトランジスタとの電流駆動能力を一致させることができるので、互いのMOSトランジスタの電気的特性のばらつきによる駆動能力の低下等を抑えることが可能となる。

【0075】

さらに、pチャネルMOSトランジスタを立体構造にしたCMOSトランジスタでは、pチャネルMOSトランジスタのゲート幅をSi基板の主面（例えば（100）面など）だけではなく主面に形成した凸部の異なる方位面に配向する結晶面（例えば（110）面など）に対しても獲得できる。そのため、p型拡散領域910c及び910dの間にゲート絶縁膜に沿って生成されるチャネルは、半導体基板の主面のみならずその他の結晶面においても生成されることとなる。そして、上記チャネルにおける電気的特性は上述したように何れの結晶面に対しても良好である（すなわち、チャネル幅の単位長さあたりの、トランジスタを駆動させるために有効となるエネルギー量の低下が抑制される）ため、上記式 $W_1B + W_2B$ の値に替わって H_B の値を大きくとって同図の上方向に対してチャネル幅を稼ぐことができ、これもまた一例を挙げて後述するがnチャネルMOSトランジスタの素子面積に合わせてpチャネルMOSトランジスタの素子面積を小さくすることが可能となる。

【0076】

なお、上記構成例ではSi基板の（100）面を主面として（110）面を側壁面としたが、（100）面、（110）面、（111）面を任意に組み合わせてトランジスタを構成してもよく、何れの場合であっても上述した効果が同様に得られる。

【0077】

図10（A）～（C）は、シリコン基板のそれぞれ（100）面、（111）面、および（110）面上に、図1のプラズマ処理装置100によりシリコン酸化膜を形成し、かかるシリコン酸化膜をゲート絶縁膜としてpチャネルMOSトランジスタを形成した場合のドレイン電圧対規格化ドレイン電流特性である。ただし

図10 (A)、(B)では、シリコン酸化膜を上記Kr/O₂プラズマ処理により形成した場合と熱酸化処理により形成した場合の両方を示している。これに対し、図10 (C)では、熱酸化処理では(110)面上に酸化膜が形成できないため、Kr/O₂プラズマ処理により形成したゲート酸化膜の例のみを示している。図10 (A)の結果は、ゲート長が10 μ mでゲート幅が50 μ mのpチャネルMOSトランジスタについてのものであり、図10 (B)、(C)の結果は、ゲート長が10 μ mでゲート幅が300 μ mのpチャネルMOSトランジスタについてのものである。

【0078】

図10 (A)～(C)を参照するに、pチャネルMOSトランジスタのドレイン電流、従って相互コンダクタンスないし電流駆動能力は、トランジスタをシリコンの(100)面以外の結晶面、例えば(111)面あるいは(110)面上に形成することにより増大させることが可能であること、特にpチャネルMOSトランジスタをシリコンの(111)面上に形成した場合に(100)面上に形成したpチャネルMOSトランジスタの約1.3倍の電流駆動能力が得られること、また(110)面上に形成した場合には約1.8倍の電流駆動能力が得られることがわかる。

【0079】

以上のデータにおいても示される通り、図6及び図8に異なる方位面に配向した結晶面を使って立体構造で構成されたMOSトランジスタの電流駆動能力は高いことが実証される。

なお、上述した立体構造のMISトランジスタやCMOSトランジスタは様々な回路に適用できる。

【0080】

例えば、本発明のCMOSトランジスタをパストランジスタ回路やインバータ回路やプッシュプル増幅器などに適用できる。この場合、CMOSトランジスタに構成されるpチャネルMOSトランジスタ及びnチャネルMOSトランジスタのスイッチング特性を揃えることが可能になるため、そこから出力される出力信号歪を大幅に低減できる。

【0081】

また、例えばデジタル回路のNAND回路、NOR回路などに適用することも可能である。

さらに、上述した回路にはCMOSトランジスタを使用せずにnチャネルMOSトランジスタまたはpチャネルMOSトランジスタを適用することも可能である。

【0082】

また、本発明の実施の形態におけるMISトランジスタ或いはCMOSトランジスタは、アナログ回路にも当然適用できる。

【0083】**【発明の効果】**

以上述べたように、本発明によれば、素子面積を決定する所定の結晶面に突出して形成される他の結晶面に対してチャネル幅を獲得できる。そして、夫々の結晶面に沿って生成されるチャネルにおいて、チャネル幅の単位長さあたりの、トランジスタを駆動させるために有効となるエネルギー量の低下を大幅に抑制できる。そのため、素子面積の増大を抑制しながら、さらなるチャネル幅の獲得が実質的に可能なものとなる。

【0084】

また、CMOSトランジスタの素子面積を直接的に大きくしているpチャネルMOSトランジスタの素子面積を小さく形成できるので、CMOSトランジスタを小型化することが可能となる。

さらに、pチャネルMOSトランジスタの素子面積をnチャネルMOSトランジスタの素子面積に近づける、或いは同等の大きさにした場合においても、pチャネルMOSトランジスタの素子面積を広げる方向とは異なる方向にチャネルを生成させているので、互いの電流駆動能力を素子面積をばらつかせることなく一致させることが可能となる。

【図面の簡単な説明】**【図1】**

ラジアルラインスロットアンテナを用いたプラズマ処理装置の一例を示す断面

図である。

【図 2】

図 1 のシリコン基板 103 表面におけるシリコン-水素結合を赤外分光器により分析した結果である。

【図 3】

図 1 の処理室 101 内の Kr/O_2 の圧力比を $97/3$ に保持しつつガス圧力を変化させた場合に形成される酸化膜の厚さの、処理室内圧力との関係である。

【図 4】

Kr/O_2 プラズマ酸化膜の成長レートと熱酸化膜の成長レートとの比較図である。

【図 5】

Kr/O_2 プラズマ酸化膜と熱酸化膜との界面準位密度の比較図である。

【図 6】

p チャネル MOS トランジスタの構成例である。

【図 7】

図 6 の一部を取り出して示した図である。

【図 8】

CMOS トランジスタの構成例である。

【図 9】

図 8 の一部を取り出して示した図である。

【図 10】

ドレイン電圧対規格化ドレイン電流特性である。

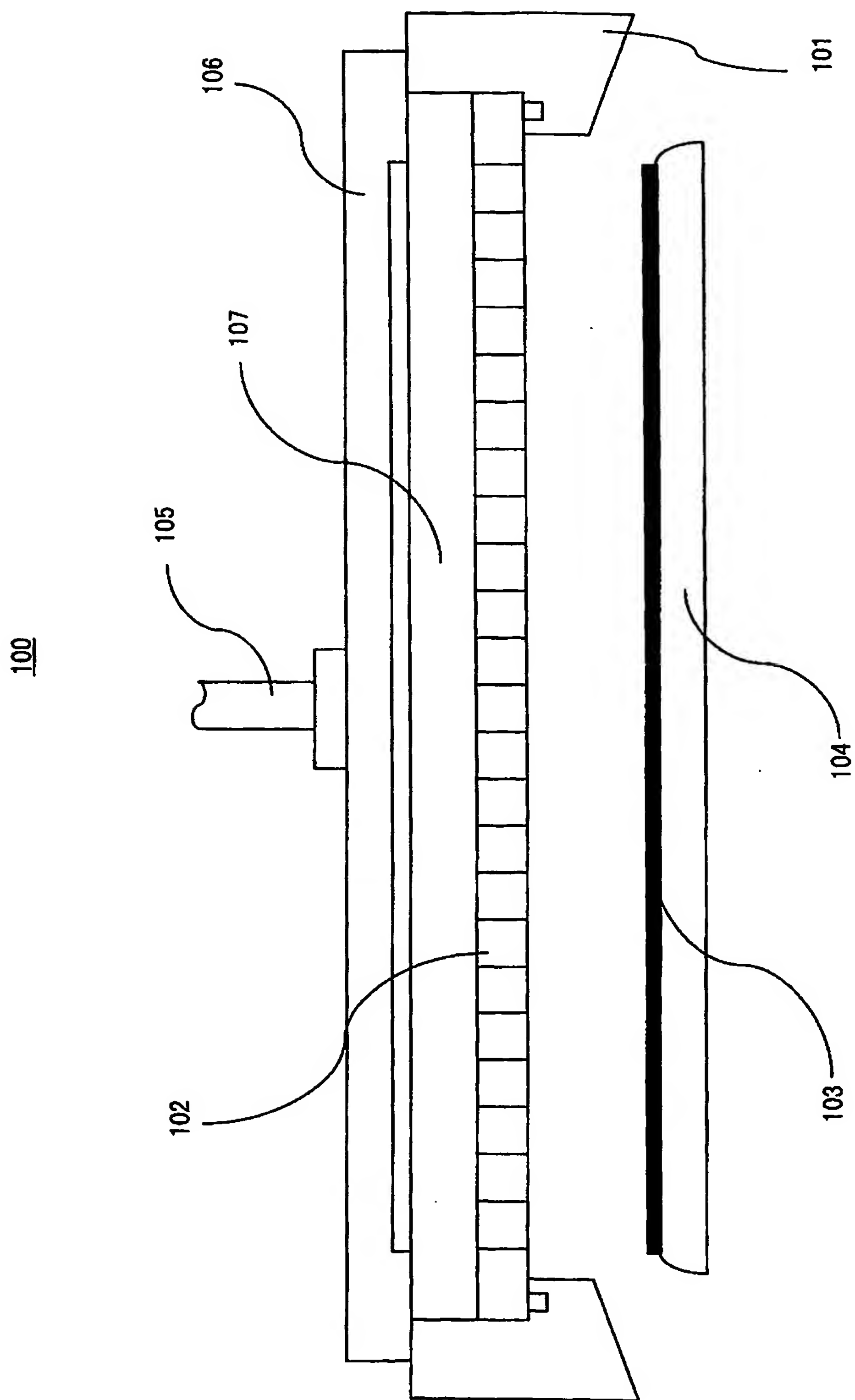
【符号の説明】

- 702 シリコン基板
- 704 凸部
- 706 ゲート電極
- 708 ゲート絶縁膜
- 710 a、710 b 同一導電型拡散領域

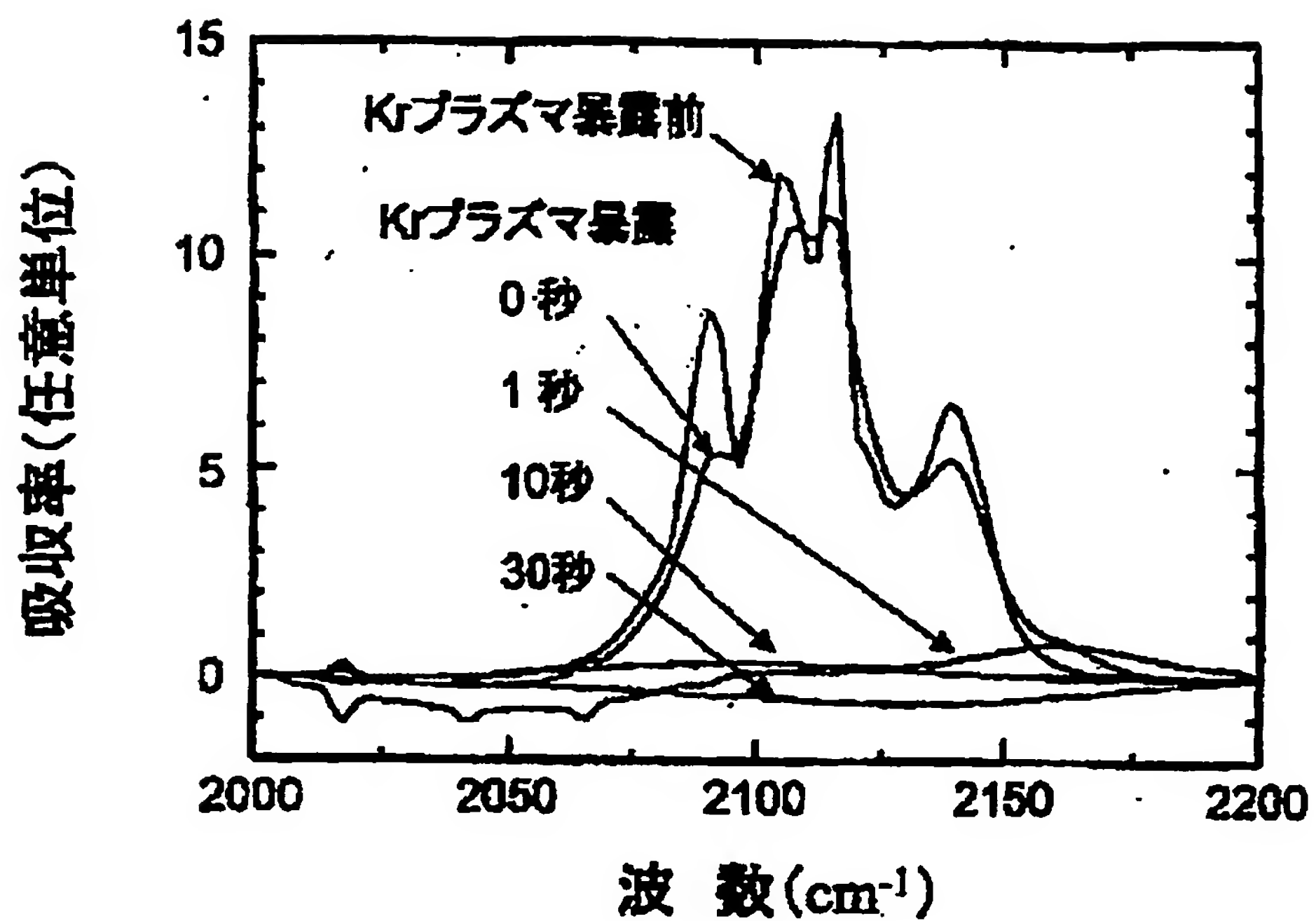
【書類名】

図面

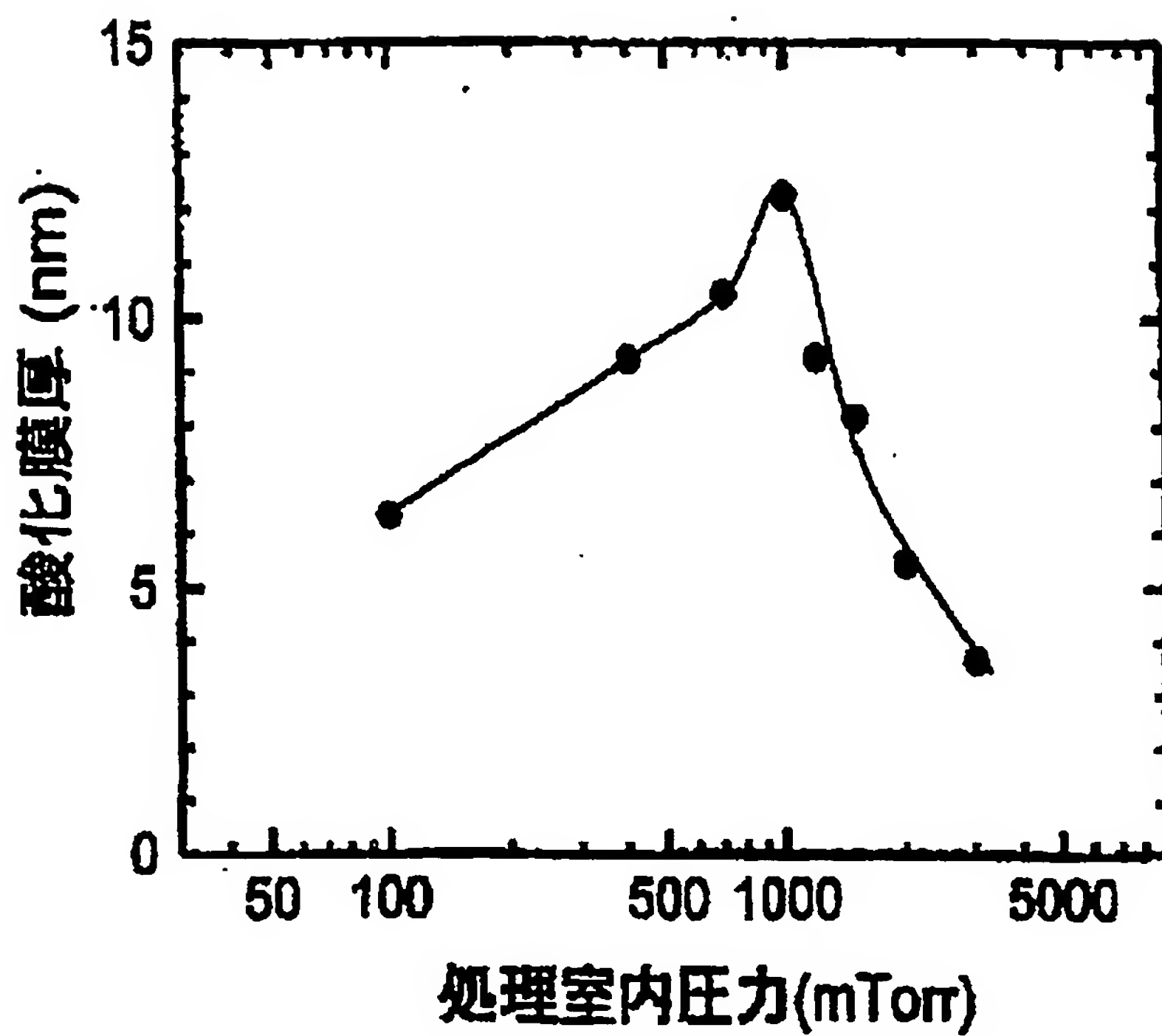
【図 1】



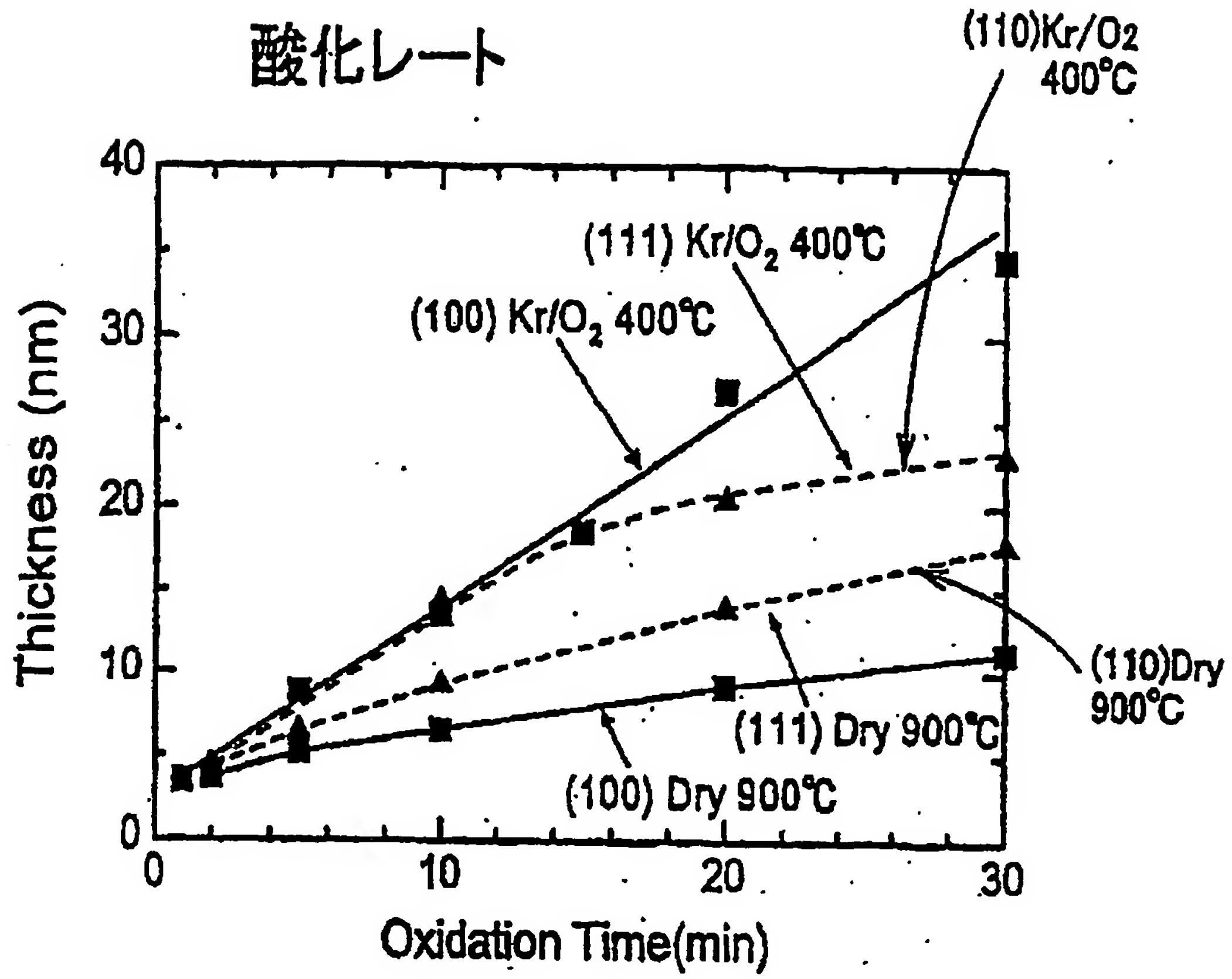
【図 2】



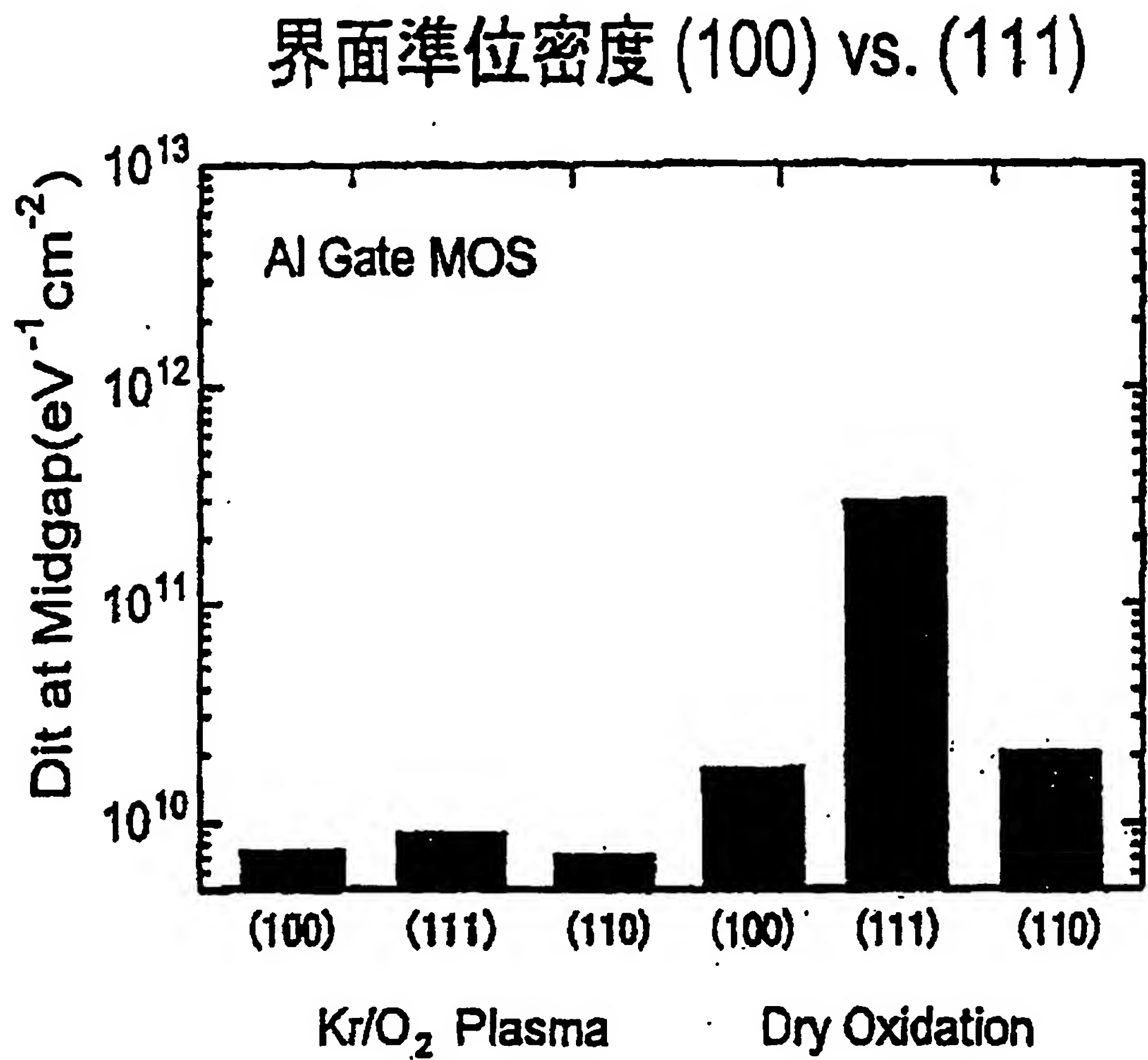
【図 3】



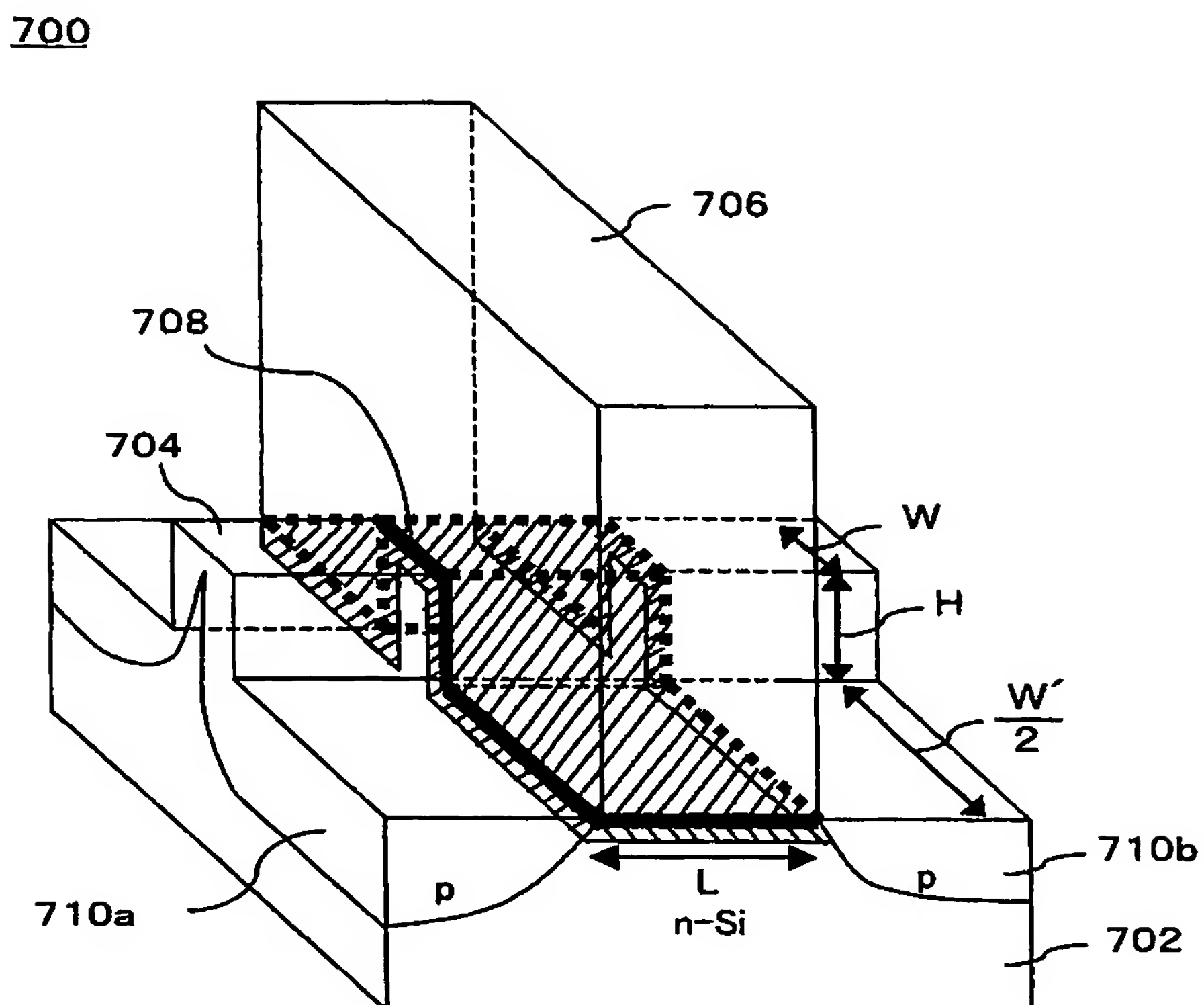
【図 4】



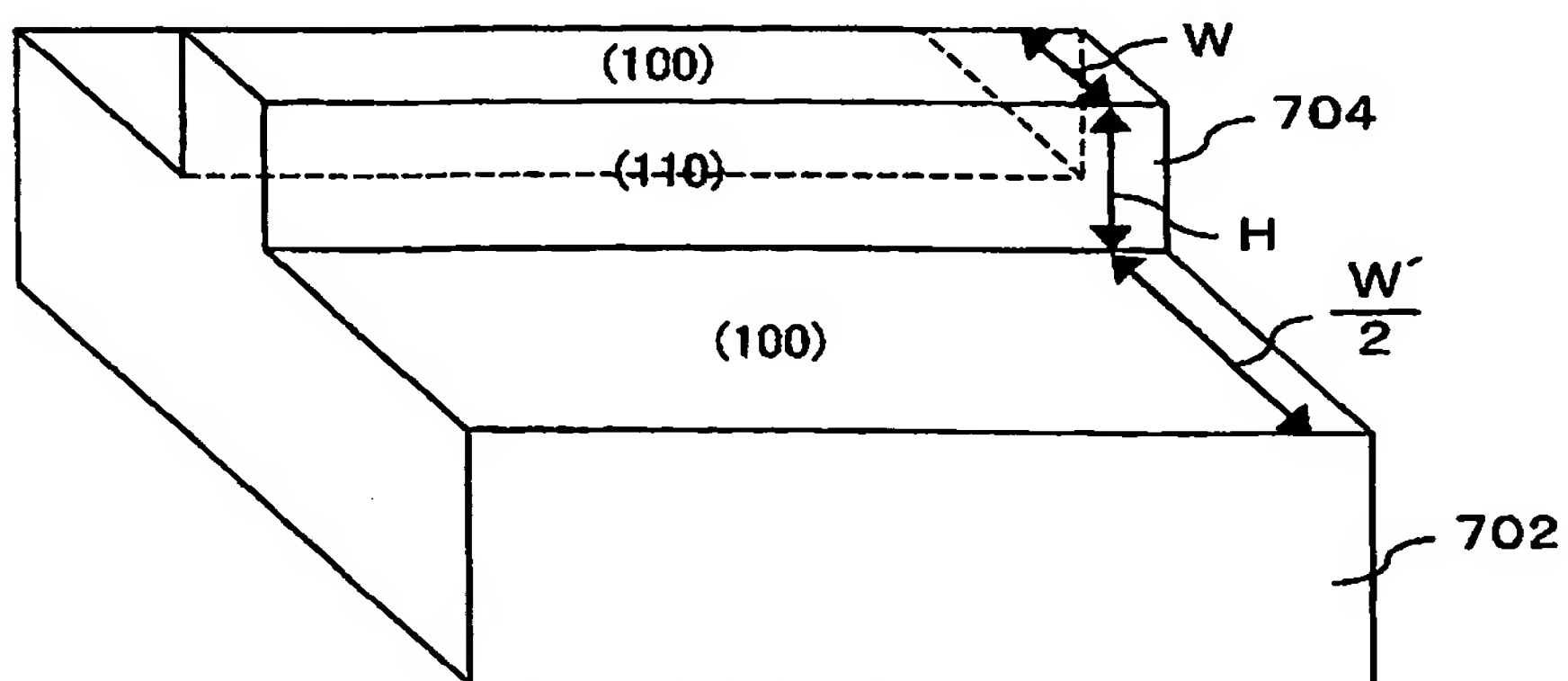
【図 5】



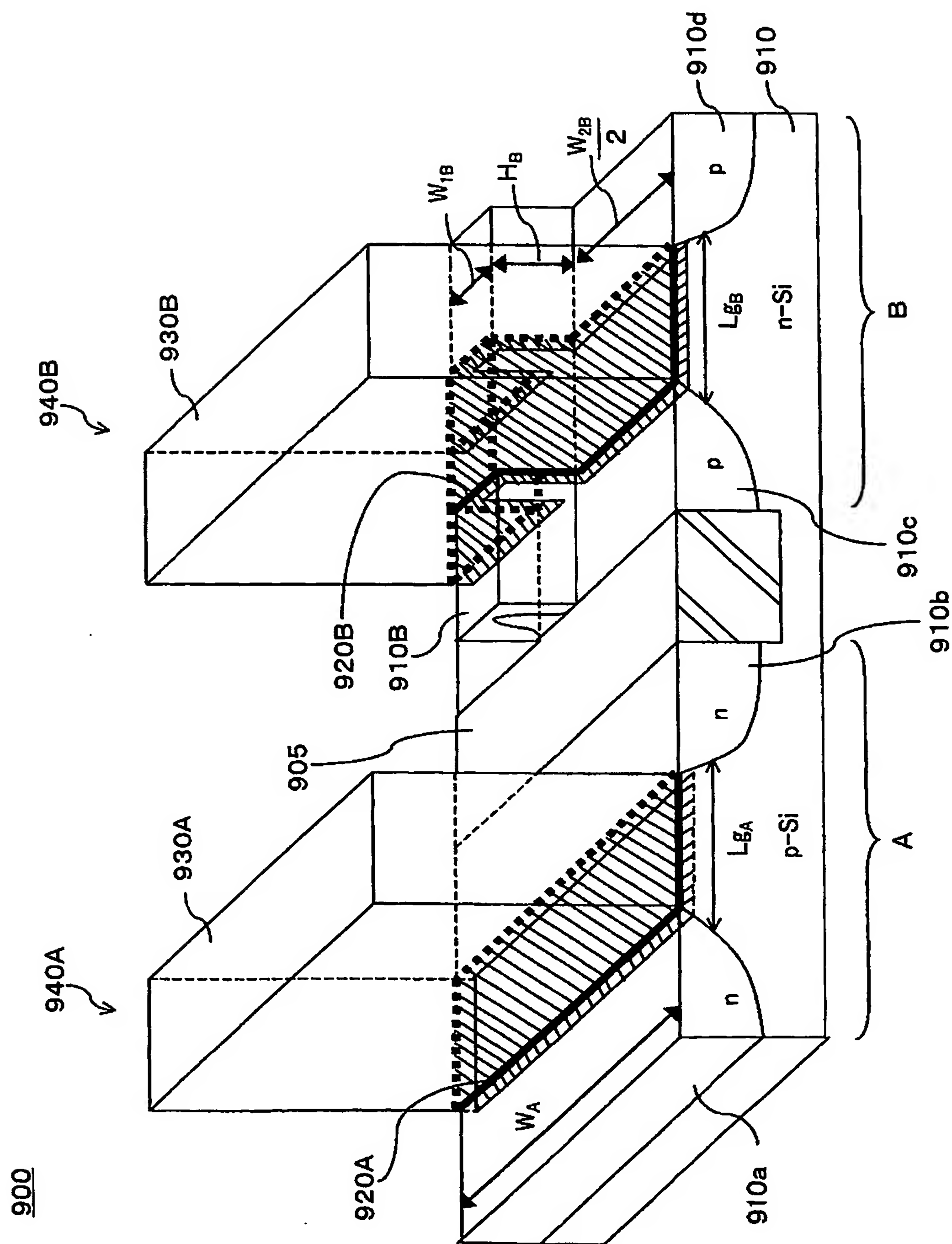
【図 6】



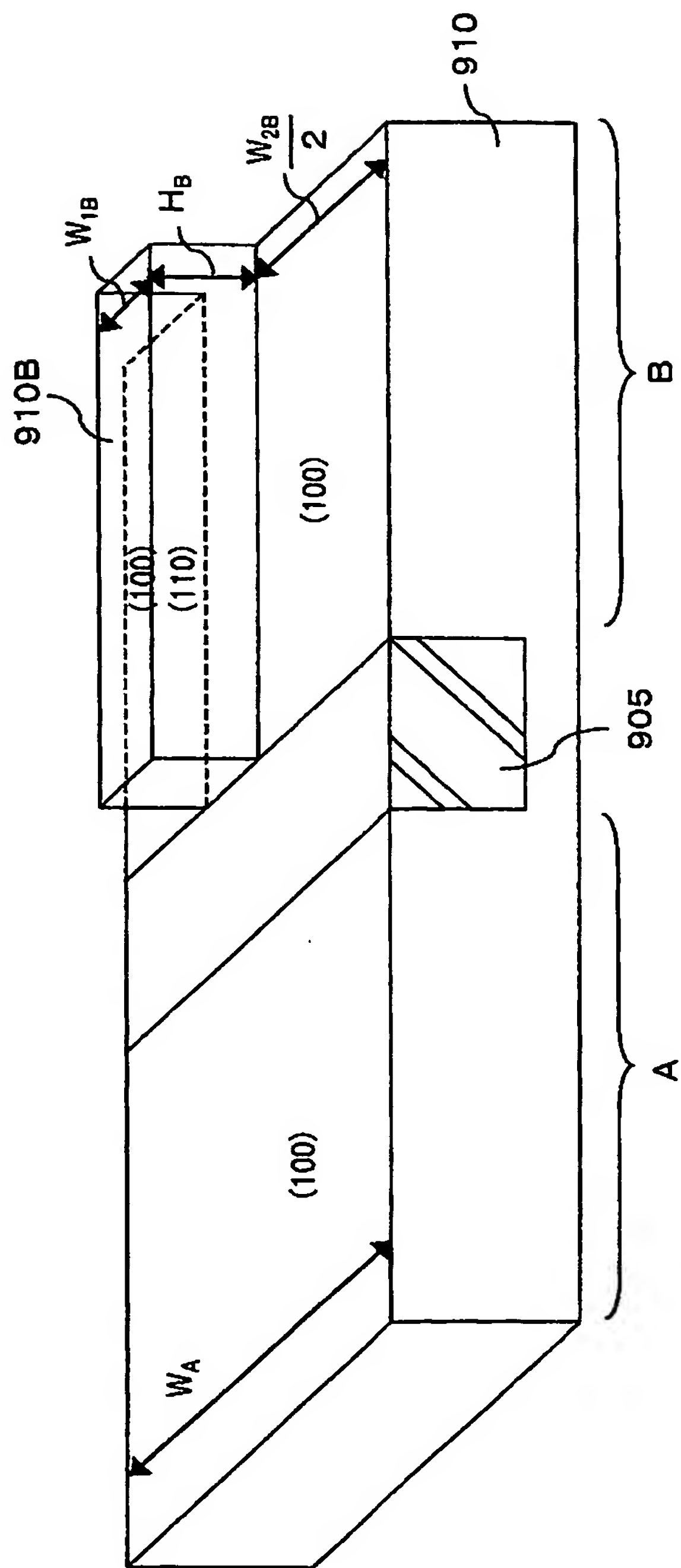
【図 7】



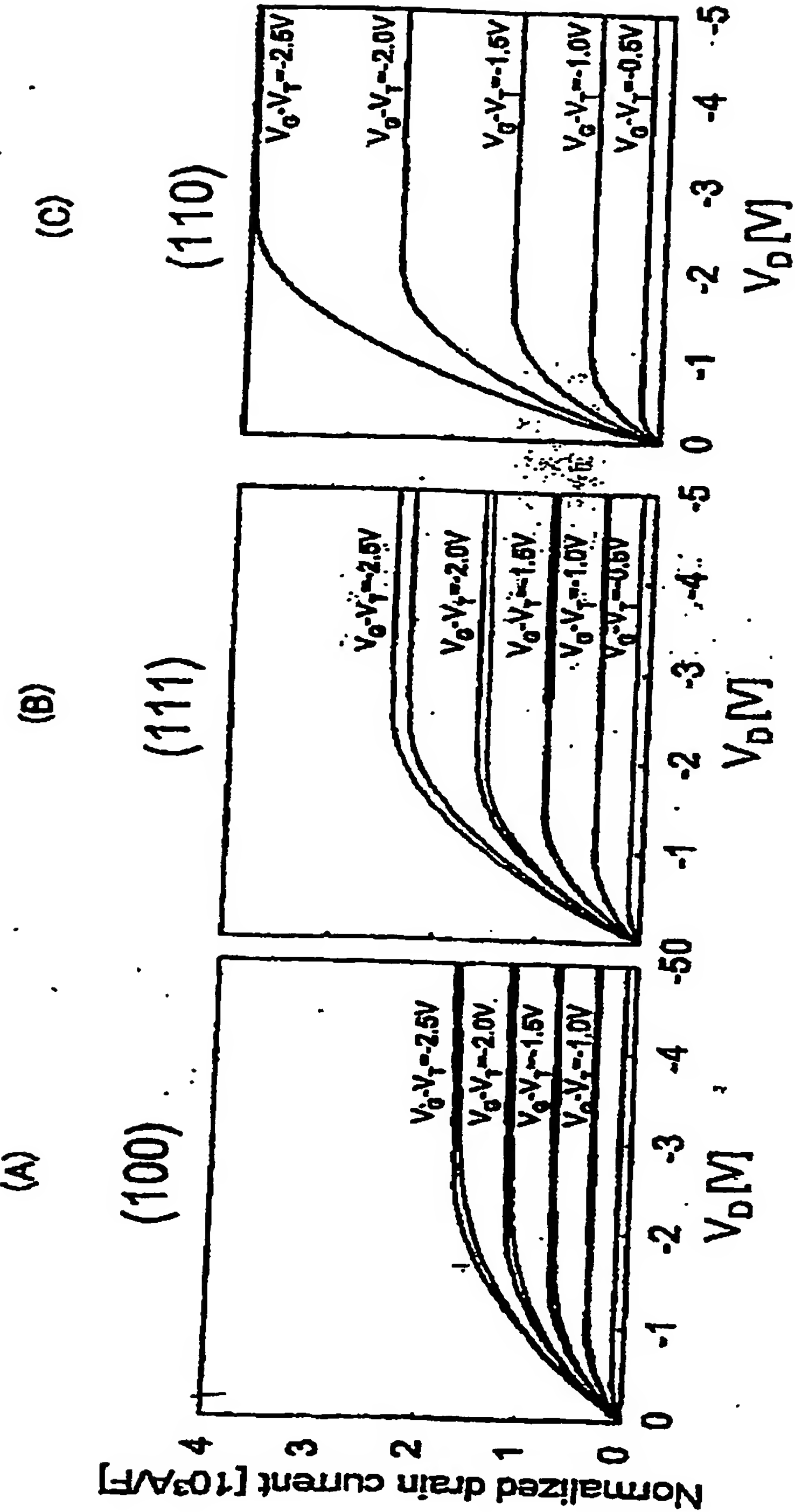
【图 8】



【図 9】



【図10】



【書類名】 要約書

【要約】

【課題】 本発明は、素子面積の増大を抑制し、チャネルの幅を増やし、さらにチャネルの電気的特性を低下させないM I S トランジスタを提供することを目的とする。

【解決手段】 半導体基板（7 0 2）に形成されるM I S トランジスタを前提とし、表面が少なくとも二つの異なる結晶面を有する凸部（7 0 4）を主面に対して構成する半導体基板（7 0 2）と、前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々の少なくとも一部を覆うゲート絶縁膜（7 0 8）と、前記ゲート絶縁膜を介して、前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々に対して構成されるゲート電極（7 0 6）と、前記少なくとも二つの異なる結晶面の各々に面して前記凸部中に形成され、かつ前記ゲート電極の両側にそれぞれ形成される同一導電型拡散領域（7 1 0 a、7 1 0 b）と、を有する。

【選択図】 図 6

特願 2 0 0 3 - 1 7 0 1 1 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 2 1 8]

1. 変更年月日

2 0 0 1 年 8 月 1 日

[変更理由]

名称変更

住 所

愛知県刈谷市豊田町 2 丁目 1 番地

氏 名

株式会社豊田自動織機

特願 2 0 0 3 - 1 7 0 1 1 8

出 願 人 履 歴 情 報

識別番号

[5 9 1 2 2 0 8 5 0]

1. 変更年月日

1 9 9 6 年 5 月 9 日

[変更理由]

住所変更

住 所

新潟県上越市西城町 2 丁目 5 番 1 3 号

氏 名

新潟精密株式会社

特願 2 0 0 3 - 1 7 0 1 1 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 0 5 0 4 1]

1. 変更年月日

1 9 9 0 年 8 月 2 7 日

[変更理由]

新規登録

住 所

宮城県仙台市青葉区米ヶ袋 2 - 1 - 1 7 - 3 0 1

氏 名

大見 忠弘